



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 특허출원 2001년 제 64059 호
Application Number PATENT-2001-0064059

출원 년 월 일 : 2001년 10월 17일
Date of Application OCT 17, 2001

출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2001 년 12 월 21 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2001. 10. 17
【발명의 명칭】	2 포트 데이터극성반전기를 가지는 액정표시장치 및 그 구동방법
【발명의 영문명칭】	Liquid Crystal Display Apparatus with 2 Port REV Device and Driving Method Thereof
【출원인】	
【명칭】	엘지 . 필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【발명자】	
【성명의 국문표기】	박형열
【성명의 영문표기】	PARK, Hyung Yol
【주민등록번호】	721121-1005214
【우편번호】	718-833
【주소】	경상북도 칠곡군 석적면 중리 부영아파트 113동 1309호
【국적】	KR
【발명자】	
【성명의 국문표기】	이재형
【성명의 영문표기】	LEE, Jae Hyung
【주민등록번호】	690606-1117414
【우편번호】	718-831
【주소】	경상북도 칠곡군 석적면 남울리 우방신천지 203/1703
【국적】	KR

【발명자】

【성명의 국문표기】 신현일
【성명의 영문표기】 SHIN,Hyun II
【주민등록번호】 710215-1676414
【우편번호】 718-833
【주소】 경상북도 칠곡군 석적면 중리 부영아파트 105동 1305호

【국적】 KR

【우선권주장】

【출원국명】 KR
【출원종류】 특허
【출원번호】 10-2001-0031795
【출원일자】 2001.06.07
【증명서류】 첨부

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
 김영호 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	26 면	26,000 원
【우선권주장료】	1 건	26,000 원
【심사청구료】	17 항	653,000 원
【합계】		734,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 액정표시장치에 관한 것으로서, 특히 데이터 천이를 절반으로 줄여서 소비전류를 낮추고 EMI 특성을 높이는 2 포트 데이터극성반전기를 가지는 액정표시장치 및 그 구동방법에 관한 것이다.

본 발명에 따른 액정표시장치는 비디오신호에 대응하는 화상을 표시하는 액정패널과; 제어신호와 압축된 데이터신호를 생성하는 시스템 구동부와; 시스템 구동부로부터 입력된 신호들을 상기 액정패널에 구동하기 위한 타이밍 신호들을 생성 출력하는 타이밍 컨트롤러와; 타이밍 컨트롤러로부터 상기 타이밍 신호를 입력받아 상기 데이터에 대응하여 상기 액정패널에 화상을 표시하는 게이트드라이버 및 데이터드라이버와; 상기 타이밍 컨트롤러가, 상기 데이터신호를 상기 데이터드라이버에 공급하게 하는 데이터 정렬부와, 제어신호가 입력되어 상기 게이트드라이버 및 데이터드라이버에 상기 타이밍신호를 공급하게 하는 타이밍 제어신호 발생부와, 제어신호가 입력되어 상기 게이트드라이버 및 데이터드라이버에 극성제어신호를 공급하게 하는 극성 제어신호 발생부를 구비하고; 극성제어신호 발생부는 액정의 극성반전여부를 체크하고 이에 대응하여 극성을 반전시키는 액정극성반전 구동부와, 홀수번째 데이터의 데이터 천이를 체크하고 이에 대응하여 데이터의 극성을 반전시키는 제1 데이터극성반전 구동부와, 짝수번째 데이터의 데이터 천이를 체크하고 이에 대응하여 데이터의 극성을 반전시키는 제2 데이터극성반전 구동부를 구비하는 것을 특징으로 한다.

본 발명에 의하면, 짝수 번째와 홀수 번째 데이터들의 각 데이터 천이를
체크하여 반전시키는 2 포트 REV 신호를 사용함으로써 고해상도 모델에서 소비전
류 감소 및 EMI를 감소시킬 수 있다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

2 포트 데이터극성반전기를 가지는 액정표시장치 및 그 구동방법{Liquid Crystal Display Apparatus with 2 Port REV Device and Driving Method Thereof}

【도면의 간단한 설명】

도 1은 일반적인 액정표시장치의 블록구성도.

도 2는 도 1에 도시된 박막트랜지스터로 인가되는 게이트 하이전압과 공통 전압을 시간에 따라 그 변화량을 도시한 도면.

도 3은 도 1에서의 타이밍컨트롤러를 상세히 도시한 도면.

도 4a는 종래의 기술에 따른 타이밍 컨트롤러(2) 내의 REV 송신부를 상세히 나타낸 도면.

도 4b는 도 4a에서의 REV 송신부에 따른 데이터 드라이버 내 REV 수신부를 상세히 나타낸 도면.

도 5는 종래 기술에 따른 REV 구동방법을 간단히 도시한 도면.

도 6은 본 발명에 따른 액정표시장치를 나타내는 블록구성도.

도 7은 도 6에 도시된 타이밍컨트롤러를 상세히 도시한 도면.

도 8a는 본 발명의 제1 실시예에 따른 타이밍 컨트롤러 내의 REV 송신부를 상세히 나타낸 도면.

도 8b는 도 8a에서의 REV 송신부에 따른 데이터 드라이버 내 REV 수신부를 상세히 나타낸 도면.

도 9는 도 8에 도시된 본 발명에 따른 REV 구동방법을 간단히 도시한 도면.

도 10은 EMI 테스트에 사용되는 'H' 패턴을 나타낸 도면.

도 11은 REV가 오프(Off)시 데이터의 출력 상태를 나타낸 도면.

도 12는 종래의 기술에 따른 1 포트 REV 신호를 사용시 데이터 출력 형태를 비교하여 나타낸 도면.

도 13은 본 발명에 따른 2 포트 REV 신호를 사용시 데이터 출력 형태를 비교하여 나타낸 도면.

도 14a는 본 발명의 제2 실시예에 따른 타이밍 컨트롤러 내의 REV 송신부를 상세히 나타낸 도면.

도 14b는 도 14a에서의 REV 송신부에 따른 데이터 드라이버 내 REV 수신부를 상세히 나타낸 도면.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 액정표시장치에 관한 것으로서, 특히 데이터 전이를 절반으로 줄여서 소비전류를 낮추고 EMI 특성을 높이는 2 포트 데이터 선택기를 가지는 액정표시장치 및 그 구동방법에 관한 것이다.

<19> 통상적으로, 액정표시장치(Liquid Crystal Display)는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다. 액정셀마다 스위칭소자가 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 동영상 표시하기에 적합하다. 액티브 매트릭스 타입의 액정표시장치에 사용되는 스위칭소자로는 주로 박막트랜지스터(Thin Film Transistor; 이하 'TFT'라 함)가 이용되고 있다. 이러한 액티브 매트릭스 타입의 액정표시장치는 브라운관에 비하여 소형화가 가능하며, 퍼스널 컴퓨터(Personal Computer)와 노트북 컴퓨터(Note Book Computer)는 물론, 복사기 등의 사무자동화기기, 휴대전화기나 호출기 등의 휴대기기까지 광범위하게 이용되고 있다.

<20> 액정표시장치의 구동장치는 도 1과 같이 아날로그 신호를 디지털 비디오 데이터로 변환하기 위한 시스템 구동부(1)와, 액정패널(6)의 데이터라인들(DL)에 데이터신호를 공급하기 위한 데이터 드라이버(3)와, 액정패널(6)의 게이트라인들(GL)을 순차적으로 구동하기 위한 게이트 드라이버(5)와, 데이터 드라이버(3)와 게이트 드라이버(5)를 제어하기 위한 타이밍컨트롤러(2)와 데이터 드라이버(3)에 감마전압을 공급하기 위한 감마전압 발생부(4)를 구비한다.

<21> 액정패널(6)은 두 장의 유리기판 사이에 액정이 주입되며, 그 하부 유리기판 상에 게이트라인들(GL)과 데이터라인들(DL)이 상호 직교되도록 형성된다. 게이트라인들(GL)과 데이터라인들(DL)의 교차부에는 데이터라인들(DL)로부터 입력되는 영상을 액정셀(C1c)에 선택적으로 공급하기 위한 TFT가 형성된다. 이를 위하여, TFT는 게이트라인(GL)에 게이트단자가 접속되며, 데이터라인(DL)에 소스단

자가 접속된다. 그리고 TFT의 드레인단자는 액정셀(C1c)의 화소전극에 접속된다

<22> 시스템구동부(1)는 아날로그 입력 영상신호를 액정패널(6)에 적합한 디지털 영상신호로 변환하고 영상신호에 포함된 동기신호를 검출하게 된다. 주로 시스템구동부(1)의 데이터 및 제어신호전송을 위해서 저전압 차등 신호(Low Voltage Differential Signal ; LVDS) 인터페이스와 TTL 인터페이스 등이 사용되고 있다. 또한 이러한 인터페이스 기능을 모아서 타이밍컨트롤러(2)와 함께 단일 칩(Chip)으로 집적시켜 사용하고도 있다. LVDS는 하나의 라인에 여러개의 데이터를 압축하여 타이밍컨트롤러(2)에 입력된다. 데이터가 전송되는 각 라인에는 전류의 흐름에 따라 유도되는 전기장이 형성되며, 이 전기장의 방사는 인접한 라인으로 전송되는 신호에 노이즈를 실어서 부품의 정상적인 동작을 방해하는 전자기파(EMI) 현상이 유발된다. 이 전자기파현상으로 인해 데이터신호의 전압이 낮아진다. 이러한 전자기파현상을 해결하기 위해 차등 신호를 전송하는 방법이 제안된 바 있으며, 차등 신호란 진폭이 동일하고 위상이 반대인 도 2와 같은 관계를 갖는 신호이다. 정·부극성 신호(S+,S-)를 동시에 전송하는 라인을 이웃하여 사용할 경우, 인접한 각각의 라인에서 발생하는 전기장은 상호작용으로 소멸된다. 구체적으로, 정극성신호(S+)가 로우레벨에서 하이레벨로 변환될 때 부극성신호(S-)는 하이레벨에서 로우레벨로 변환된다. 이 때 양 라인에서 흐르는 전류의 방향이 서로 반대가 되고, 플레밍 법칙에 의하여 전기장의 방향은 반대로 형성됨으로써 전기장이 상쇄된다. 상쇄된 전기장에 의해 전기장의 방사가 최소화된다. 이에 따라 원래의 전압으로 데이터신호를 타이밍컨트롤러(2)에 공급할 수 있다.

<23> 타이밍 컨트롤러(2)는 시스템구동부(1)로부터의 적색(R), 녹색(G) 및 청색(B)의 데이터신호를 컬럼 드라이버(3)에 공급하게 된다. 또한, 타이밍컨트롤러(2)는 시스템구동부(1)로부터 입력되는 수평/수직 동기신호(H,V)를 이용하여 도트클럭(Dclk)과 게이트 스타트 펄스(GSP)를 생성하여 데이터 드라이버(3)와 게이트 드라이버(5)를 타이밍 제어하게 된다. 도트클럭(Dclk)은 데이터 드라이버(3)에 공급되며, 게이트 스타트 펄스(GSP)는 게이트 드라이버(5)에 공급된다.

<24> 게이트 드라이버(5)는 타이밍 컨트롤러(2)로부터 입력되는 게이트 스타트 펄스(GSP)에 응답하여 순차적으로 스캔펄스를 발생하는 쉬프트 레지스터와, 스캔펄스의 전압을 액정셀의 구동에 적합한 레벨로 쉬프트 시키기 위한 레벨 쉬프터 등으로 구성된다. 이 게이트 드라이버(5)로부터 입력되는 스캔펄스에 응답하여 TFT에 의해 데이터라인(DL) 상의 비디오 데이터가 액정셀(Clc)의 화소전극에 공급된다.

<25> 데이터 드라이버(3)에는 타이밍 컨트롤러(2)로부터 적색(R), 녹색(G) 및 청색(B)의 데이터신호와 함께 도트클럭(Dclk)이 입력된다. 이 데이터 드라이버(3)는 도트클럭(Dclk)에 동기하여 적색(R), 녹색(G) 및 청색(B)의 디지털 비디오 데이터를 래치한 후에, 래치된 데이터를 감마전압(V_γ)에 따라 보정하게 된다. 그리고 데이터 드라이버(3)는 감마전압(V_γ)에 의해 보정된 데이터를 아날로그 데이터로 변환하여 1 라인분씩 데이터라인(DL)에 공급하게 된다.

<26> 감마전압 발생부(4)는 액정패널의 전기·광학적 특성을 고려하여 데이터의 계조값에 대응하는 감마전압(V_γ)을 생성한다. 이 감마전압(V_γ)은 감마전압발생부(4)에 의해 계조레벨에 대응하여 분압된 전압이다. 따라서,

감마전압발생부(4)로부터 생성된 감마전압(V_{γ})은 표현 가능한 범위로 선택된 계조값에 대응하여 전압크기가 다르게 설정된다.

- <27> 도 3은 도 1에서의 타이밍 컨트롤러를 상세히 도시한 것이다.
- <28> 도 3을 참조하면, 타이밍컨트롤러(2)는 시스템구동부(1)로부터 입력된 LVDS, 수직 및 수평동기신호(H,V)를 이용하여 액정표시장치의 구동을 위한 소정의 신호들을 생성한다.
- <29> LVDS는 데이터정렬부(12)를 통해 적색(R), 녹색(G) 및 청색(B)의 데이터신호를 데이터 드라이버(3)에 공급하게 된다.
- <30> 수직 및 수평동기신호(H,V)는 타이밍제어신호발생부(14)를 통해 타이밍제어 신호들을 데이터 드라이버(3) 및 게이트 드라이버(5)에 공급하게 된다.
- <31> 이 타이밍제어신호들 중 데이터 드라이버(3)를 위해 필요한 제어신호들은 소스샘플링클럭(Source Sampling Clock : 이하 'SSC'라 함), 소스 출력 인에이블(Source Output Enable: 이하 'SOE'라 함), 소스 스타트 펄스(Source Start Pulse : 이하 'SSP'라 함)등이 있다.
- <32> 게이트 드라이버(5)를 위해 필요한 제어신호들은 게이트 쉬프트클럭(Gate Shift Clock : 이하 'GSC'라 함), 게이트 출력 인에이블(Gate Output Enable : 이하 'GOE'라 함), 게이트 스타트 펄스(Gate Start Pulse : 이하 'GSP'라 함) 등이 있다.
- <33> 수평 및 수직동기신호(H,V)는 극성제어신호발생부(16)를 통해 극성제어신호를 데이터 드라이버(3) 및 게이트 드라이버(5)에 공급하게 된다.

- <34> 극성제어신호로는 액정극성반전(Pority reverse : 이하 'POL'라 함), 데이터 극성반전(Data reverse : 이하 'REV'라 함) 등이 있다.
- <35> 이러한 액정표시장치는 시스템구동부(1)로부터의 데이터신호 및 제어신호를 타이밍컨트롤러(2)를 통해 데이터 드라이버(3) 및 게이트 드라이버(5)에 공급한다.
- <36> 도 4a는 종래의 기술에 따른 타이밍 컨트롤러(2) 내의 REV 송신부를 상세히 나타낸 도면이다.
- <37> 도 4a를 참조하면, REV 송신부는 데이터의 천이를 체크하는 데이터 천이 체크부(30), 데이터 천이에 따른 데이터의 극성이 변화되는 신호의 수를 파악하여 출력레벨을 결정하는 REV 신호 합산부(32), 데이터 천이 체크부(30)와 REV 신호 합산부(32)로부터 신호를 받아 출력 데이터를 반전시키는 신호를 발생하도록 하는 REV 신호 출력부(34)를 구비한다.
- <38> 데이터 천이 체크부(30)는 2개의 플립플롭(36,38)과, 익스클루시브 논리합(Exclusive-OR ; 이하 'XOR'라 함)(40) 게이트로 구성된다. 데이터 천이 체크부(30)는 현재 데이터 플립플롭(36)과 이전 데이터 플립플롭(38)을 비교하여 데이터의 하이(1)와 로우(0)의 변화를 체크한다. 만일 각 데이터 천이가 있으면 데이터 천이 체크부(30)의 출력은 하이(1)로 출력되고, 천이가 없으면 로우(0)로 출력된다. 이 때 데이터들은 짝수(EVEN)와 홀수(ODD)에 관계없이 순차적으로 비교하게 된다.

<39> REV 신호 합산부(32)는 R, G, B 각각의 짝수(Even) 및 홀수(Odd) 데이터 36개에 대하여 데이터 천이 체크부(30)를 거쳐 데이터 천이가 있는 데이터 개수를 합산기(ADDER, 42, 44)에 의해 더하게 된다. 이 때 데이터 천이가 있을 때의 출력인 하이(1)의 숫자가 R, G, B 데이터 총수의 절반인 18개를 초과하는지를 과반수 검출기(Majority Detector, 46)를 통하여 체크한다. 만일 과반수 검출기(46)에 의하여 데이터 천이가 있는 출력인 하이(1)의 숫자가 36비트의 절반인 18개를 초과할 경우 REV는 하이(1)로, 하이(1)의 숫자가 18 이하일 경우에는 REV는 로우(0)로 출력된다.

<40> REV 신호 출력부(34)는 2× 멀티플렉서(Multiplexer)(48,50)를 사용하여 REV 신호 합산부(32)의 출력 REV가 하이(1)일 경우는 출력 데이터를 반전시키는 신호를 출력한다. 즉, REV 신호 출력부(34)는 데이터 천이가 되는 수가 절반을 넘을 경우에 데이터 천이 되는 양을 줄이기 위해 출력 데이터를 반전시켜 {36-(18 이상의 데이터 천이 양)} 만큼만 출력 데이터가 천이 되게 하는 데이터 극성반전 신호를 내보낸다.

<41> 이로써 로우(0) 상태일 경우는 입력 데이터를 그대로 인식하도록 하고, 하이(1) 상태일 경우는 입력 데이터를 반전시켜 인식하도록 하는 REV 신호가 데이터 드라이버(3)에 입력된다.

<42> 도 4b는 데이터 드라이버 내 REV 수신부를 개략적으로 나타낸 도면이다.

<43> 도 4b를 참조하면, REV 수신부(35)는 2× 멀티플렉서(Multiplexer)(48,50)를 구비한다. 이로써 멀티플렉서의 입력측에 있어서 일측은 도 4a에서 REV 신호 출력부(34)의 멀티플렉서(Multiplexer)(48,50)를 통해 출력된 신호가 그대로

입력되도록 연결되고, 타측은 도 4a에서 REV 신호 출력부(34)로부터의 신호를 반전하여 입력되도록 연결된다. 멀티플렉서(48,50)에 입력된 REV신호들은 REV 신호 합산부(32)의 과반수 검출기(46)로부터의 하이(1) 및 로우(0) 신호에 의해 상기 정상 신호 및 반전 신호가 선택되어 데이터 드라이버(3)를 구성하는 래치회로에 입력되어 R, G, B 데이터 극성을 반전시키게 된다.

<44> 도 5는 종래기술에 따른 REV 구동방법을 간단히 도시한 도면이다.

<45> 도 5를 참조하면, 짝수(Even), 홀수(Odd) 데이터의 36 비트에서 현재 클럭 데이터와 이전 클럭 데이터를 비교해서 데이터 천이되는 수가 줄게 된다. 즉, 1번 클럭 데이터(CLK 1)와 2번 클럭 데이터(CLK 2)를 비교하여 데이터가 천이되는 지를 체크하게 된다.

<46> 이러한 구동방식은 1 포트로써 시스템에서 액정모듈로 들어오는 36 비트 데이터 전후의 천이를 비교하고, 과반수 검출기(46)에 의해 18비트를 기준으로 이상이면 반전시키고 이하이면 기존의 데이터를 내보내는 방식인데, 다수의 데이터 천이에 응답되어 REV를 선택하므로 많은 소비전류와 이에 따른 전자파가 많이 발생하는 단점이 있게 된다.

【발명이 이루고자 하는 기술적 과제】

<47> 따라서, 본 발명의 목적은 타이밍 컨트롤러 구동방식에서 2 포트 REV를 사용하여 데이터 천이를 절반으로 줄임으로써 소비전류를 낮추고 전자기 방해(EMI)

특성을 높여주는 2 포트 데이터 극성 반전기를 가지는 액정표시장치 및 그 구동 방법을 제공함에 있다.

【발명의 구성 및 작용】

<48> 상기 목적을 달성하기 위하여, 본 발명에 따른 2포트 데이터극성반전기를 가지는 액정표시장치의 구동장치는 비디오신호에 대응하는 화상을 표시하는 액정 패널과; 제어신호와 압축된 데이터신호를 생성하는 시스템 구동부와; 상기 시스템 구동부로부터 입력된 신호들을 상기 액정패널에 구동하기 위한 타이밍 신호들을 생성 출력하는 타이밍 컨트롤러와; 상기 타이밍 컨트롤러로부터 상기 타이밍 신호를 입력받아 상기 데이터에 대응하여 상기 액정패널에 화상을 표시하는 게이트드라이버 및 데이터드라이버와; 상기 타이밍 컨트롤러가, 상기 데이터신호를 상기 데이터드라이버에 공급하게 하는 데이터 정렬부와, 상기 제어신호가 입력되어 상기 게이트드라이버 및 데이터드라이버에 상기 타이밍신호를 공급하게 하는 타이밍 제어신호 발생부와, 상기 제어신호가 입력되어 상기 게이트드라이버 및 데이터드라이버에 극성제어신호를 공급하게 하는 극성 제어신호 발생부를 구비하고; 상기 극성제어신호발생부는 액정의 극성반전여부를 체크하고 이에 대응하여 극성을 반전시키는 액정극성반전 구동부와, 홀수번째 데이터의 데이터 천이를 체크하고 이에 대응하여 데이터의 극성을 반전시키는 제1 데이터극성반전 구동부와, 짝수번째 데이터의 데이터 천이를 체크하고 이에 대응하여 데이터의 극성을 반전시키는 제2 데이터극성반전 구동부를 구비하는 것을 특징으로 한다.

<49> 이 경우 상기 제1 데이터극성반전구동부는 상기 홀수번째 데이터들의 데이터 천이를 체크하는 제1 데이터 천이부와, 상기 데이터 천이에 따른 데이터의 극성이 변화되는 신호의 수를 파악하여 출력레벨을 결정하는 제1 데이터극성반전 신호 합산부와, 상기 제1 데이터 천이 체크부와 상기 제1 데이터극성반전 신호 합산부로부터 신호를 받아 출력 데이터를 반전시키는 신호를 출력하는 제1 데이터극성반전 신호 출력부를 구비하는 것을 특징으로 한다..

<50> 상기 제2 데이터극성반전구동부는 상기 짝수번째 데이터들의 데이터 천이를 체크하는 제2 데이터 천이부와, 상기 데이터 천이에 따른 데이터의 극성이 변화되는 신호의 수를 파악하여 출력레벨을 결정하는 제2 데이터극성반전 신호 합산부와, 상기 제2 데이터 천이 체크부와 상기 제2 데이터극성반전 신호 합산부로부터 신호를 받아 출력 데이터를 반전시키는 신호를 출력하는 제2 데이터극성반전 신호 출력부를 구비하는 것을 특징으로 한다.

<51> 본 발명에 따른 2포트 데이터극성반전기를 가지는 액정표시장치의 구동방법은 제1 및 제2 데이터 극성반전구동부를 가지는 액정표시장치에 있어서, 상기 제1 데이터 극성반전구동부에 홀수번째 데이터 비트들을 입력하고 이들의 데이터 천이를 비교하여 홀수번째 데이터들의 극성이 반전되게 하는 단계와, 상기 제2 데이터 극성반전구동부에 짝수번째 데이터 비트들을 입력하고 이들의 데이터 천이를 비교하여 짝수번째 데이터들의 극성이 반전되게 하는 단계를 포함하는 것을 특징으로 한다.

<52> 본 발명에 따른 다른 2포트 데이터극성반전기를 가지는 액정표시장치의 구동방법은 제1 및 제2 데이터 극성반전구동부를 가지는 액정표시장치에 있어서,

상기 극성반전 구동부에 입력되는 데이터 비트를 절반으로 나누어 제1 및 제2 데이터 비트로 분할하는 단계와, 상기 제1 데이터 극성반전구동부에 제1 데이터 비트들을 입력하고 이들의 데이터 천이를 비교하여 제1 데이터들의 극성이 반전되게 하는 단계와, 상기 제2 데이터 극성반전구동부에 제2 데이터 비트들을 입력하고 이들의 데이터 천이를 비교하여 제2 데이터들의 극성이 반전되게 하는 단계를 포함하는 것을 특징으로 한다.

<53> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<54> 이하, 본 발명의 바람직한 실시 예를 도 6 내지 도 14b를 참조하여 상세히 설명하기로 한다.

<55> 도 6은 본 발명에 따른 액정표시장치를 나타내는 블록 구성도이다.

<56> 도 6을 참조하면, 본 발명에 따른 액정표시장치의 구동장치는 아날로그 신호를 디지털 비디오 데이터로 변환하기 위한 시스템 구동부(51)와, 액정패널(56)의 데이터라인들(DL)에 데이터신호를 공급하기 위한 데이터 드라이버(53)와, 액정패널(56)의 게이트라인들(GL)을 순차적으로 구동하기 위한 게이트 드라이버(55)와, 데이터 드라이버(53)와 게이트 드라이버(55)를 제어하기 위한 타이밍 컨트롤러(52)와, 데이터 드라이버(53)에 감마전압을 공급하기 위한 감마전압 발생부(54)를 구비한다.

<57> 액정패널(56)은 두 장의 유리기판 사이에 액정이 주입되며, 그 하부 유리기판 상에 게이트라인들(GL)과 데이터라인들(DL)이 상호 직교되도록 형성된다. 게

이트라인들(GL)과 데이터라인들(DL)의 교차부에는 데이터라인들(DL)로부터 입력되는 영상을 액정셀(C1c)에 선택적으로 공급하기 위한 TFT가 형성된다. 이를 위하여, TFT는 게이트라인(GL)에 게이트단자가 접속되며, 데이터라인(DL)에 소스단자가 접속된다. 그리고 TFT의 드레인단자는 액정셀(C1c)의 화소전극에 접속된다.

<58> 시스템구동부(51)는 아날로그 입력 영상신호를 액정패널(56)에 적합한 디지털 영상신호로 변환하고 영상신호에 포함된 동기신호를 검출하게 된다. 주로 시스템구동부(51)의 데이터 및 제어신호전송을 위해서 LVDS(Low Voltage Differential Signal) 인터페이스와 TTL 인터페이스 등이 사용되고 있다. 또한 이러한 인터페이스 기능을 모아서 타이밍컨트롤러(52)와 함께 단일 칩(Chip)으로 집적시켜 사용하고도 있다. LVDS는 하나의 라인에 여러개의 데이터를 압축하여 타이밍컨트롤러(52)에 입력된다.

<59> 타이밍컨트롤러(52)는 시스템구동부(51)로부터의 적색(R), 녹색(G) 및 청색(B)의 데이터신호를 데이터 드라이버(53)에 공급하게 된다. 또한, 타이밍컨트롤러(52)는 시스템구동부(1)로부터 입력되는 수평/수직 동기신호(H,V)를 이용하여 도트클럭(Dclk)과 게이트 스타트 펄스(GSP)를 생성하여 데이터 드라이버(53)와 게이트 드라이버(55)를 타이밍 제어하게 된다. 도트클럭(Dclk)은 데이터 드라이버(53)에 공급되며, 게이트 스타트 펄스(GSP)는 게이트 드라이버(55)에 공급된다.

<60> 게이트 드라이버(55)는 타이밍컨트롤러(52)로부터 입력되는 게이트 스타트 펄스(GSP)에 응답하여 순차적으로 스캔펄스를 발생하는 쉬프트 레지스터와, 스캔

펄스의 전압을 액정셀의 구동에 적합한 레벨로 쉬프트 시키기 위한 레벨 쉬프터 등으로 구성된다. 이 게이트 드라이버(55)로부터 입력되는 스캔펄스에 응답하여 TFT에 의해 데이터라인(DL) 상의 비디오 데이터가 액정셀(Clc)의 화소전극에 공급된다.

<61> 데이터 드라이버(53)에는 타이밍 컨트롤러(52)로부터 적색(R), 녹색(G) 및 청색(B)의 데이터신호와 함께 도트클럭(Dclk)이 입력된다. 이 데이터 드라이버(53)는 도트클럭(Dclk)에 동기하여 적색(R), 녹색(G) 및 청색(B)의 디지털 비디오 데이터를 래치한 후에, 래치된 데이터를 감마전압(V_{γ})에 따라 보정하게 된다. 그리고 데이터 드라이버(53)는 감마전압(V_{γ})에 의해 보정된 데이터를 아날로그 데이터로 변환하여 1 라인분씩 데이터라인(DL)에 공급하게 된다.

<62> 감마전압 발생부(54)는 액정패널의 전기·광학적 특성을 고려하여 데이터의 계조값에 대응하는 감마전압(V_{γ})을 생성한다. 이 감마전압(V_{γ})은 감마전압발생부(54)에 의해 계조레벨에 대응하여 분압된 전압이다. 따라서, 감마전압발생부(54)로부터 생성된 감마전압(V_{γ})은 표현 가능한 범위로 선택된 계조값에 대응하여 전압크기가 다르게 설정된다.

<63> 도 7은 본 발명에 따른 타이밍컨트롤러를 상세히 도시한 것이다.

<64> 도 7을 참조하면, 타이밍컨트롤러(52)는 시스템구동부(51)로부터 입력된 LVDS, 수직 및 수평동기신호(H,V)를 이용하여 액정표시장치의 구동을 위한 소정의 신호들을 생성한다.

- <65> LVDS는 데이터정렬부(62)를 통해 적색(R), 녹색(G) 및 청색(B)의 데이터신호를 데이터 드라이버(53)에 공급하게 된다.
- <66> 수직 및 수평동기신호(H,V)는 타이밍제어신호발생부(64)를 통해 타이밍제어신호들을 데이터 드라이버(53) 및 게이트 드라이버(55)에 공급하게 된다.
- <67> 이 타이밍제어신호들 중 데이터 드라이버(53)를 위해 필요한 제어신호들은 SSC, SOE, SSP 등이 있다.
- <68> 게이트 드라이버(55)를 위해 필요한 제어신호들은 GSC, GOE, GSP 등이 있다.
- <69> 수평 및 수직동기신호(H,V)는 극성제어신호발생부(66)를 통해 극성제어신호를 데이터 드라이버(53) 및 게이트 드라이버(55)에 공급하게 된다.
- <70> 극성제어신호로는 POL, REV 1, REV 2 등이 있다. 이 때 REV 1는 짝수번째 데이터들에서 현재 데이터와 이전데이터의 데이터천이를 통하여 극성반전할 것인지를 결정하는 것이고, REV 2는 홀수번째 데이터들에서 현재 데이터와 이전데이터의 데이터천이를 통하여 극성반전할 것인지를 결정하는 것이다.
- <71> 이러한 액정표시장치는 시스템구동부(51)로부터의 데이터신호 및 제어신호를 타이밍컨트롤러(52)를 통해 데이터 드라이버(53) 및 게이트 드라이버(55)에 공급한다.
- <72> 도 8a는 본 발명의 제1 실시예에 따른 타이밍 컨트롤러 내의 REV 송신부를 상세히 나타낸 도면이다.

<73> 도 8a를 참조하면, REV 송신부는 홀수 번째 데이터들의 데이터천이를 체크하여 극성제어신호를 출력하게 하는 REV 1 구동부(70)와, 짝수 번째 데이터들의 데이터천이를 체크하여 극성제어신호를 출력하게 하는 REV 2 구동부(80)를 구비한다.

<74> 먼저 REV 1 구동부(70)는 홀수번째 데이터들의 데이터 천이를 체크하는 제1 데이터 천이체크부(72)와, 데이터 천이에 따른 데이터의 극성이 변화되는 신호의 수를 파악하여 출력레벨을 결정하는 REV 1 신호 합산부(74)와, 제1 데이터 천이 체크부(72)와 REV 1 신호 합산부(74)로부터 신호를 받아 출력 데이터를 반전시키는 신호를 출력하는 REV 1 신호 출력부(76)를 구비한다.

<75> 제1 데이터 천이 체크부(72)는 2개의 플립플롭(71,73)과, 배타적 논리합 게이트(XOR)(75)로 구성된다. 제1 데이터 천이 체크부(72)는 현재 데이터 플립플롭(71)과 이전 데이터 플립플롭(73)에 입력되는 각 데이터를 비교하여 데이터의 하이(1)와 로우(0)의 변화를 체크한다. 만일 데이터 천이가 있으면 제1 데이터 천이 체크부(72)의 출력은 하이(1)로, 천이가 없으면 로우(0)로 출력된다. 이 때 데이터들은 짝수와 홀수에 관계 없이 순차적으로 비교하게 된다.

<76> REV 1 신호 합산부(74)는 R, G, B 각각의 홀수(Odd)번째 데이터 각 18개에 대하여 제1 데이터 천이 체크부(72)를 통하여 데이터 천이가 있는 데이터의 수를 합산기(ADDER, 77)를 사용하여 더하게 된다. 이 때 데이터 천이가 있을 시의 출력인 하이(1)의 숫자가 홀수 번째 R,G,B 데이터 총수의 절반인 9개를 초과하는지를 체크한다. 만일 하이(1)의 숫자가 9개를 초과할 경우 REV1이 하이(1)가 되고, 9개 이하일 경우에는 로우(0)가 된다.

- <77> REV 1 신호 출력부(76)는 2× 멀티플렉서(Multiplexer, 79)를 사용하여 REV 1 신호합산부(74)의 출력 REV가 하이(1)일 경우는 출력 데이터를 반전시키는 신호를 데이터 드라이버(53)에 공급한다. 즉, 데이터 천이되는 수가 절반(9개)을 넘을 경우 천이되는 양을 줄이기 위해 REV 1 신호 출력부(76)는 출력 데이터를 반전시켜 {18-(9 이상의 데이터 천이되는 수)} 만큼만 출력 데이터가 천이되도록 한다.
- <78> 이로써 REV 1 신호가 로우(0) 상태일 경우는 입력 데이터를 그대로 인식하고, 하이(1)일 경우는 입력 데이터를 반전시켜 인식하도록 하는 신호를 데이터 드라이버(53)에 입력되게 된다.
- <79> REV 2 구동부(80)는 짝수 번째 데이터들의 데이터 천이를 체크하는 제2 데이터 천이부(82)와, 데이터 천이에 따른 데이터의 극성이 변화되는 신호의 수를 파악하여 출력레벨을 결정하는 REV 2 신호 합산부(84)와, 제2 데이터 천이 체크부(82)와 REV 2 신호 합산부(84)로부터 신호를 받아 출력 데이터를 반전시키는 신호를 출력하는 REV 2 신호 출력부(86)를 구비한다.
- <80> 제2 데이터 천이 체크부(82)는 2개의 플립플롭(81, 83)과, XOR 게이트(85)로 구성된다. 제2 데이터 천이 체크부(82)는 현재 데이터 플립플롭(81)과 이전 데이터 플립플롭(83)에 입력되는 각 데이터를 비교하여 데이터의 하이(1)와 로우(0)의 변화를 체크한다. 만일 데이터 천이가 있으면 제2 데이터 천이 체크부(82)의 출력은 하이(1)로, 천이가 없으면 로우(0)로 출력된다. 이 때 데이터들은 짝수와 홀수에 관계 없이 순차적으로 비교하게 된다.

<81> REV 2 신호 합산부(84)는 R, G, B 각각의 짝수(Even)번째 데이터 각 18개에 대하여 제2 데이터 천이 체크부(82)를 통하여 데이터 천이가 있는 데이터의 수를 합산기(ADDER, 87)를 사용하여 더하게 된다. 이 때 데이터 천이가 있을 시의 출력인 하이(1)의 숫자가 R, G, B 데이터 총수의 절반인 9개를 초과하는지를 체크한다. 만일 하이(1)의 숫자가 9개를 초과할 경우 REV 2가 하이(1)가 되고, 9개 이하일 경우에는 로우(0)가 된다.

<82> REV 2 신호 출력부(86)는 2× 멀티플렉서(Multiplexer, 89)를 사용하여 REV 신호합산부(84)의 출력 REV 2가 하이(1)일 경우는 출력 데이터를 반전시키는 신호를 데이터 드라이버(53)에 공급한다. 즉, 데이터 천이되는 수가 절반(9개)을 넘을 경우 천이되는 양을 줄이기 위해 출력 데이터를 반전시켜 {18-(9 이상의 데이터 천이되는 수)} 만큼만 출력 데이터가 천이되도록 하는 신호를 공급하게 한다..

<83> 이로써 REV 2 신호가 로우(0) 상태일 경우는 입력 데이터를 그대로 인식하고, 하이(1)일 경우는 입력 데이터를 반전시켜 인식하도록 하는 신호를 데이터 드라이버(53)에 입력되게 한다.

<84> 도 8b는 도 8a에서의 REV 송신부에 따른 데이터 드라이버 내 REV 수신부를 상세히 나타낸 도면이다.

<85> 도 8b를 참조하면, REV 수신부(90, 92)는 2× 멀티플렉서(Multiplexer, 79', 89')를 구비한다. 이로써 멀티플렉서(79', 89')의 입력측에 있어서 일측은 도 8a에서 REV 신호 출력부(76, 86)의 멀티플렉서(Multiplexer, 79', 89')를 통해 출력된 신호가 그대로 입력되도록 연결되고, 타측은 도 8a에서 REV 신호 출

력부(76, 86)로부터의 신호를 반전하여 입력되도록 연결된다. 멀티플렉서(79, 89)에 입력된 REV신호들은 REV 신호 합산부(74, 84)의 과반수 검출기(78, 88)로부터의 하이(1) 및 로우(0) 신호에 의해 상기 정상 신호 및 반전 신호가 선택되어 데이터 드라이버(53)를 구성하는 래치회로에 입력되어 R, G, B 데이터 극성을 반전시키게 된다.

<86> 도 9는 도 8에 도시된 본 발명에 따른 REV 구동방법을 간단히 도시한 도면이다.

<87> 도 9를 참조하면, 본 발명에 따른 구동방법은 짝수(Even)번째 데이터와 홀수(Odd)번째 데이터로 나누고 각 데이터를 비교한다.

<88> 여기서, A는 짝수 번째 1번 클럭 데이터와 2번 클럭 데이터를 비교한 것이고, B는 홀수 번째 1번 클럭 데이터와 2번 클럭 데이터를 비교하는 것을 나타낸다.

<89> 이로써 도 8의 REV 1, 2를 사용해서 데이터 18비트씩을 비교함으로써 데이터 천이를 체크할 수 있는 확률을 더 줄일 수 있게 된다.

<90> 이는 도 10 내지 도 13에 도시된 EMI 패턴인 'H' 디스플레이 상태와 그 출력 형태를 통하여 그 효과를 예측할 수 있다.

<91> 도 10은 EMI 테스트에 사용되는 'H' 패턴을 나타낸 도면이다.

<92> 도 10을 참조하면, 'H' 패턴이 도시된 영역은 가로방향으로 모든 셀이 그레이 형태를 표시하는 두 열의 제1 형태(I)와, 두 셀을 주기로 그레이 패턴과 화이

트 패턴이 번갈아 나타나는 세 열의 제2 형태(Ⅱ)와, 'H' 패턴의 가운데 화이트 바 형태로 구성된 열에 해당하는 한 열의 제3 형태(Ⅲ)로 구성된다.

<93> 이들 중 EMI에 가장 나쁜 형태는 제3 형태로서, 이를 기준으로 그 효과를 살펴보면 다음과 같다.

<94> 도 11 내지 도 13은 도 10에서의 제3 형태를 기준으로 각 셀에서의 데이터 천이를 나타낸 도면이다.

<95> 먼저 도 11은 REV가 오프(Off)시 데이터의 출력 상태를 나타낸 도면으로서, 이때 왼쪽을 기준으로 그레이 패턴을 '1', 화이트 패턴을 '0'으로 한다.

<96> 짝수 번째 데이터와 홀수 번째 데이터를 구분하여 Dn 셀에 순차적으로 입력 하면 도 11과 같이 데이터 출력이 나타난다. 이는 데이터 천이 형태를 통하여 보면, 약 16MHz의 주파수를 지니는 출력파형으로 나타날 수 있다.

<97> 도 12는 종래의 기술에 따른 1 포트 REV 신호를 사용시 데이터 출력 형태를 비교하여 나타낸 도면이다.

<98> 도 12를 참조하면, 도 11에 도시된 REV 신호가 오프된 경우보다는 데이터 천이가 줄어들음을 알 수 있다. 이로써 16MHz의 도 11의 데이터 출력보다 낮은 4MHz의 출력파형으로 나타날 수 있다.

<99> 도 13은 본 발명에 따른 2 포트 REV 신호를 사용시 데이터 출력 형태를 비교하여 나타낸 도면이다.

<100> 도 13을 참조하면, 도 8에 도시된 REV 발생부를 사용하여 짝수번째 데이터와 홀수번째 데이터를 구분하고, 이들 각 데이터의 천이를 비교하게 된다.

- <101> 각 데이터의 천이를 비교하여 출력된 데이터의 형태는 도 13에 도시된 바와 같이 데이터의 변화수가 없음을 알 수 있다. 이는 직류(DC)형 출력과형으로 나타나게 된다. 이로써 EMI 특성 및 소비전류를 크게 줄일 수 있게 된다.
- <102> 도 14a는 본 발명의 제2 실시예에 따른 타이밍 컨트롤러 내의 REV 송신부를 상세히 나타낸 도면으로서, 타이밍 컨트롤러에 입력되는 데이터를 N개의 블록으로 분할하여 입력한 후 이들의 데이터 극성반전을 나타내는 것이다. 특히 여기서는 전 데이터 비트를 두 개로 분할하여 구동한 것을 설명한다.
- <103> 도 14a를 참조하면, REV 송신부는 데이터를 2개의 비트로 분할하여 제1 출력 데이터들의 데이터천이를 체크하여 극성제어신호를 출력하게 하는 REV 1 구동부(100)와, 제2 출력 데이터들의 데이터천이를 체크하여 극성제어신호를 출력하게 하는 REV 2 구동부(110)를 구비한다.
- <104> 먼저 REV 1 구동부(100)는 제1 출력 데이터들의 데이터 천이를 체크하는 제1 데이터 천이부(102)와, 데이터 천이에 따른 데이터의 극성이 변화되는 신호의 수를 파악하여 출력레벨을 결정하는 REV 1 신호 합산부(104)와, 제1 데이터 천이 체크부(102)와 REV 1 신호 합산부(104)로부터 신호를 받아 출력 데이터를 반전시키는 신호를 출력하는 REV 1 신호 출력부(106)를 구비한다.
- <105> 제1 데이터 천이 체크부(102)는 2개의 플립플롭(101,103)과, XOR(105) 게이트로 구성된다. 제1 데이터 천이 체크부(102)는 현재 데이터 플립플롭(101)과 이전 데이터 플립플롭(103)에 입력되는 각 데이터를 비교하여 데이터의 하이(1)와 로우(0)의 변화를 체크한다. 만일 데이터 천이가 있으면 제1 데이터 천이 체크

크부(102)의 출력은 하이(1)로, 천이가 없으면 로우(0)로 출력된다. 이 때 데이터들은 제1 데이터와 제2 데이터에 관계없이 순차적으로 비교하게 된다.

<106> REV 1 신호 합산부(104)는 R, G, B 각각의 제1 출력 데이터 각 18개에 대하여 제1 데이터 천이 체크부(102)를 통하여 데이터 천이가 있는 데이터의 수를 합산기(ADDER, 107)를 사용하여 더하게 된다. 이 때 데이터 천이가 있을 시의 출력인 하이(1)의 숫자가 제1 R, G, B 데이터 총수의 절반인 9개를 초과하는지를 체크한다. 만일 하이(1)의 숫자가 9개를 초과할 경우 REV 1는 하이(1)가 되고, 9개 이하일 경우에는 로우(0)가 된다.

<107> REV 1 신호 출력부(106)는 2× 멀티플렉서(Multiplexer, 109)를 사용하여 REV 신호합산부(104)의 출력 REV가 하이(1)일 경우는 출력 데이터를 반전시키는 신호를 데이터 드라이버(53)에 공급한다. 즉, 데이터 천이되는 수가 절반(9개)을 넘을 경우 천이되는 양을 줄이기 위해 REV 1 신호 출력부(106)는 출력 데이터를 반전시켜 {18 - (9이상의 데이터 천이되는 수)} 만큼만 출력 데이터가 천이되도록 한다.

<108> 이로써 REV 1 신호가 로우(0) 상태일 경우에는 입력 데이터를 그대로 인식하고, 하이(1)일 경우는 입력 데이터를 반전시켜 인식하도록 하는 신호를 데이터 드라이버(53)에 입력되게 된다.

<109> REV 2 구동부(110)는 제2 출력 데이터들의 데이터 천이를 체크하는 제2 데이터 천이부(112)와, 데이터 천이에 따른 데이터의 극성이 변화되는 신호의 수를 파악하여 출력레벨을 결정하는 REV 2 신호 합산부(114)와, 데이터 천이 체크부

(112)와 REV 2 신호 합산부(114)로부터 신호를 받아 출력 데이터를 반전시키는 신호를 출력하는 REV 2 신호 출력부(116)를 구비한다.

<110> 제2 데이터 천이 체크부(112)는 2개의 플립플롭(111, 113)과, XOR(115) 게이트로 구성된다. 제2 데이터 천이 체크부(112)는 현재 데이터 플립플롭(111)과 이전 데이터 플립플롭(113)에 입력되는 각 데이터를 비교하여 데이터의 하이(1)와 로우(0)의 변화를 체크한다. 만일 데이터 천이가 있으면 제2 데이터 천이 체크부(112)의 출력은 하이(1)로, 천이가 없으면 로우(0)로 출력된다. 이 때 데이터들은 제1 데이터와 제2 데이터에 관계없이 순차적으로 비교하게 된다.

<111> REV 2 신호 합산부(114)는 R, G, B 각각의 제2 출력 데이터 각 18개에 대하여 제2 데이터 천이 체크부(112)를 통하여 데이터 천이가 있는 데이터의 수를 합산기(ADDER, 117)를 사용하여 더하게 된다. 이 때 데이터 천이가 있을 시의 출력인 하이(1)의 숫자가 R, G, B 데이터 총수의 절반인 9개를 초과하는지를 체크한다. 만일 하이(1)의 숫자가 9개를 초과할 경우 REV가 하이(1)가 되고, 9개 이하일 경우에는 로우(0)가 된다.

<112> REV 2 신호 출력부(116)는 2×4 멀티플렉서(Multiplexer, 109)를 사용하여 REV 신호합산부(114)의 출력 REV 2가 하이(1)일 경우는 출력 데이터를 반전시키는 신호를 데이터 드라이버(53)에 공급한다. 즉, 데이터 천이되는 수가 절반(9개)을 넘을 경우 천이되는 양을 줄이기 위해 출력 데이터를 반전시켜 {18 - (9이상의 데이터 천이되는 수)} 만큼만 출력 데이터가 천이되도록 하는 신호를 공급하게 한다.

- <113> 이로써 REV 2신호가 로우(0) 상태일 경우에는 입력 데이터를 그대로 인식하고, 하이(1)일 경우에는 입력 데이터를 반전시켜 인식하도록 하는 신호를 데이터 드라이버(53)에 입력되게 한다.
- <114> 도 14b는 도 14a에서의 REV 송신부에 따른 데이터 드라이버 내 REV 수신부를 상세히 나타낸 도면이다.
- <115> 도 14b를 참조하면, REV 수신부(120, 122)는 2× 멀티플렉서(Multiplexer, 109, 119)를 구비한다. 이로써 멀티플렉서(109, 119)의 입력측에 있어서 일측은 도 14a에서 REV 신호 출력부(106, 116)의 멀티플렉서(Multiplexer, 109, 119)를 통해 출력된 신호가 그대로 입력되도록 연결되고, 타측은 도 14a에서 REV 신호 출력부(106, 116)로부터의 신호를 반전하여 입력되도록 연결된다. 멀티플렉서(109, 119)에 입력된 REV신호들은 REV 신호 합산부(104, 114)의 과반수 검출기(108, 118)로부터의 하이(1) 및 로우(0) 신호에 의해 상기 정상 신호 및 반전 신호가 선택되어 데이터 드라이버(53)를 구성하는 래치회로에 입력되어 R, G, B 데이터 극성을 반전시키게 된다.

【발명의 효과】

- <116> 상술한 바와 같이, 본 발명에 따른 액정표시장치의 구동장치는 짝수 번째와 홀수 번째 데이터들의 각 데이터 천이를 체크하여 반전시키는 2 포트 REV 신호를 사용함으로써 고해상도 모델에서 소비전류 감소 및 EMI를 감소시킬 수 있다.

또한 데이터들을 N개로 분할하여 N개의 데이터들의 각 데이터 천이를 체크하여
반전시킬 수 있게 되며, 2분할된 경우가 주로 실시된다.

<117> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니
하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본
발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이
아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

비디오신호에 대응하는 화상을 표시하는 액정패널과;

제어신호와 압축된 데이터신호를 생성하는 시스템 구동부와;

상기 시스템 구동부로부터 입력된 신호들로 상기 액정패널에 구동하기 위한 타이밍 신호들을 생성 출력하는 타이밍 컨트롤러와;

상기 타이밍 컨트롤러로부터 상기 타이밍 신호를 입력받아 상기 데이터신호에 대응하여 상기 액정패널에 화상을 표시하는 게이트드라이버 및 데이터드라이버와;

상기 타이밍 컨트롤러가, 상기 데이터신호를 상기 데이터드라이버에 공급하게 하는 데이터 정렬부와, 상기 제어신호가 입력되어 상기 게이트드라이버 및 데이터드라이버에 상기 타이밍신호를 공급하게 하는 타이밍 제어신호 발생부와, 상기 제어신호가 입력되어 상기 게이트드라이버 및 데이터드라이버에 극성제어신호를 공급하게 하는 극성 제어신호 발생부를 구비하고;

상기 극성제어신호발생부는 액정의 극성반전여부를 체크하고 이에 대응하여 극성을 반전시키는 액정극성반전 구동부와,

홀수번째 데이터의 데이터 천이를 체크하고 이에 대응하여 데이터의 극성을 반전시키는 제1 데이터극성반전 구동부와,

짝수번째 데이터의 데이터 천이를 체크하고 이에 대응하여 데이터의 극성을 반전시키는 제2 데이터극성반전 구동부를 구비하는 것을 특징으로 하는 2포트 데이터 극성반전기를 가지는 액정표시장치.

【청구항 2】

제 1 항에 있어서,

상기 제1 데이터극성반전구동부는 상기 홀수번째 데이터들의 데이터 천이를 체크하는 제1 데이터 천이체크부와,

상기 데이터 천이에 따른 데이터의 극성이 변화되는 신호의 수를 파악하여 출력레벨을 결정하는 제1 데이터극성반전 신호 합산부와,

상기 제1 데이터 천이 체크부와 상기 제1 데이터극성반전 신호 합산부로부터 신호를 받아 출력 데이터를 반전시키는 신호를 출력하는 제1 데이터극성반전 신호 출력부를 구비하는 것을 특징으로 하는 2포트 데이터극성반전기를 가지는 액정표시장치.

【청구항 3】

제 1 항에 있어서,

상기 제2 데이터극성반전구동부는 상기 짝수번째 데이터들의 데이터 천이를 체크하는 제2 데이터 천이체크부와,

상기 데이터 천이에 따른 데이터의 극성이 변화되는 신호의 수를 파악하여 출력레벨을 결정하는 제2 데이터극성반전 신호 합산부와,

상기 제2 데이터 천이 체크부와 상기 제2 데이터극성반전 신호 합산부로부터 신호를 받아 출력 데이터를 반전시키는 신호를 출력하는 제2 데이터극성반전 신호 출력부를 구비하는 것을 특징으로 하는 2포트 데이터극성반전기를 가지는 액정표시장치.

【청구항 4】

제 1 항에 있어서,

상기 타이밍제어신호발생부는 상기 데이터 드라이버를 위해 소스 샘플링 클럭(Source Sampling Clock), 소스 출력 인에이블(Source Output Enable), 소스 스타트 펄스(Source Start Pulse) 및 도트 클럭(Dot Clock) 등의 제어신호를 공급하는 것을 특징으로 하는 2포트 데이터극성반전기를 가지는 액정표시장치.

【청구항 5】

제 1 항에 있어서,

상기 타이밍제어신호발생부는 상기 게이트 드라이버를 위해 게이트 쉬프트 클럭(Gate Shift Clock), 게이트 출력 인에이블(Gate Output Enable), 게이트 스타트 펄스(Gate Start Pulse) 등의 제어신호를 공급하는 것을 특징으로 하는 2포트 데이터극성반전기를 가지는 액정표시장치.

【청구항 6】

제 2 항 또는 제 3 항에 있어서,

상기 데이터 천이체크부는 현재 데이터와 이전 데이터를 비교하고 이에 대응하여 데이터 천이를 체크하는 2개의 플립플롭과 익스클루시브 논리합 게이트를 구비하는 것을 특징으로 하는 2포트 데이터극성반전기를 가지는 액정표시장치.

【청구항 7】

제 2 항 또는 제 3 항에 있어서,

상기 데이터극성반전 신호 합산부는 상기 데이터 천이부로부터 상기 데이터 천이가 있는 데이터 수를 합산하는 합산기와,

상기 합산된 데이터 수가 기준값을 초과하는 지를 체크하는 과반수 검출기를 구비하는 것을 특징으로 하는 2포트 데이터극성반전기를 가지는 액정표시장치.

【청구항 8】

제 2 항 또는 제 3 항에 있어서,

상기 데이터극성반전 신호 출력부는 상기 데이터극성반전 신호 합산부로부터의 극성반전신호를 받아 출력 데이터를 반전시키기 위한 멀티플렉서를 구비하는 것을 특징으로 하는 2포트 데이터극성반전기를 가지는 액정표시장치.

【청구항 9】

제 1 항에 있어서,

상기 극성제어신호발생부는 액정의 극성반전여부를 체크하고 이에 대응하여 극성을 반전시키는 액정극성반전 구동부와,

데이터비트를 2분할하여 제1출력 데이터비트의 데이터 천이를 체크하고 이에 대응하여 데이터의 극성을 반전시키는 제1 데이터극성반전 구동부와,

제2 출력 데이터비트의 데이터 천이를 체크하고 이에 대응하여 데이터의 극성을 반전시키는 제2 데이터 극성반전 구동부를 구비하는 것을 특징으로 하는 2 포트 데이터극성반전기를 가지는 액정표시장치.

【청구항 10】

제1 및 제2 데이터 극성반전 구동부를 가지는 액정표시장치에 있어서,

상기 제1 데이터 극성반전구동부에 홀수번째 데이터들을 입력하고 이들의 데이터 천이를 비교하여 홀수번째 데이터들의 극성이 반전되게 하는 단계와,

상기 제2 데이터 극성반전구동부에 짝수번째 데이터들을 입력하고 이들의 데이터 천이를 비교하여 짝수번째 데이터들의 극성이 반전되게 하는 단계를 포함하는 것을 특징으로 하는 2포트 데이터극성반전기를 가지는 액정표시장치의 구동 방법.

【청구항 11】

제 10 항에 있어서,

상기 홀수번째 데이터들의 극성이 반전되게 하는 단계는

현재 홀수번째 데이터와 이전 홀수번째 데이터를 비교하여 데이터 천이가 있는지를 체크하는 단계와,

상기 데이터 천이가 있는 데이터 수를 합산하는 단계와,

상기 합산된 데이터 수가 기준값을 초과할 경우 상기 데이터를 반전시키는 단계를 포함하는 것을 특징으로 하는 2포트 데이터극성반전기를 가지는 액정표시장치의 구동방법.

【청구항 12】

제 10 항에 있어서,

상기 짝수번째 데이터들의 극성이 반전되게 하는 단계는

현재 짝수번째 데이터와 이전 짝수번째 데이터를 비교하여 데이터 천이가 있는지를 체크하는 단계와,

상기 데이터 천이가 있는 데이터 수를 합산하는 단계와,

상기 합산된 데이터 수가 기준값을 초과할 경우 상기 데이터를 반전시키는 단계를 포함하는 것을 특징으로 하는 2포트 데이터극성반전기를 가지는 액정표시장치의 구동방법.

【청구항 13】

제 11 항 또는 제 12 항에 있어서,

상기 기준값은 9인 것을 특징으로 하는 2포트 데이터극성반전기를 가지는 액정표시장치의 구동방법.

【청구항 14】

제1 및 제2 데이터 극성반전구동부를 가지는 액정표시장치에 있어서,

상기 극성반전 구동부에 입력되는 데이터를 절반으로 나누어 제1 및 제2 데이터 비트로 분할하는 단계와,

상기 제1 데이터 극성반전구동부에 제1 데이터들을 입력하고 이들의 데이터 천이를 비교하여 제1 데이터들의 극성이 반전되게 하는 단계와,

상기 제2 데이터 극성반전구동부에 제2 데이터들을 입력하고 이들의 데이터 천이를 비교하여 제2 데이터들의 극성이 반전되게 하는 단계를 포함하는 것을 특징으로 하는 2포트 데이터극성반전기를 가지는 액정표시장치의 구동방법.

【청구항 15】

제 14 항에 있어서,

상기 제1 데이터들의 극성이 반전되게 하는 단계는

제1 데이터들 중 현재 데이터 비트와 이전 데이터 비트를 비교하여 데이터 천이가 있는지를 체크하는 단계와,

상기 데이터 천이가 있는 데이터 수를 합산하는 단계와,

상기 합산된 데이터 수가 기준값을 초과할 경우 상기 데이터를 반전시키는 단계를 포함하는 것을 특징으로 하는 2포트 데이터극성반전기를 가지는 액정표시장치의 구동방법.

【청구항 16】

제 14 항에 있어서,

상기 제2 데이터들의 극성이 반전되게 하는 단계는

제2 데이터들 중 현재 데이터 비트와 이전 데이터 비트를 비교하여 데이터 천이가 있는지를 체크하는 단계와,

상기 데이터 천이가 있는 데이터 수를 합산하는 단계와,

상기 합산된 데이터 수가 기준값을 초과할 경우 상기 데이터를 반전시키는 단계를 포함하는 것을 특징으로 하는 2포트 데이터극성반전기를 가지는 액정표시장치의 구동방법.

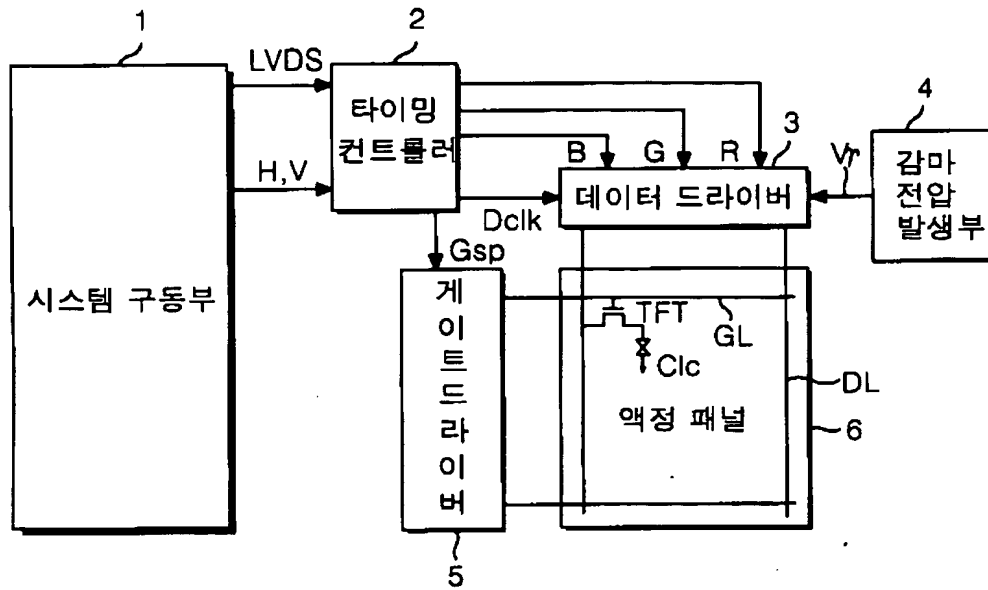
【청구항 17】

제 15 항 또는 제 16 항에 있어서,

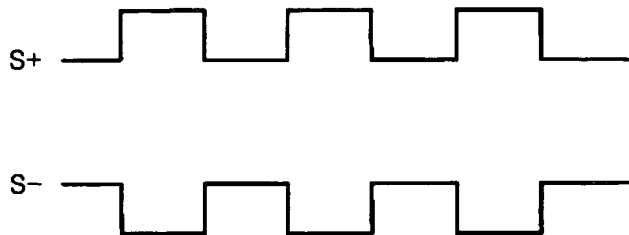
상기 기준값은 9인 것을 특징으로 하는 2포트 데이터극성반전기를 가지는 액정표시장치의 구동방법.

【도면】

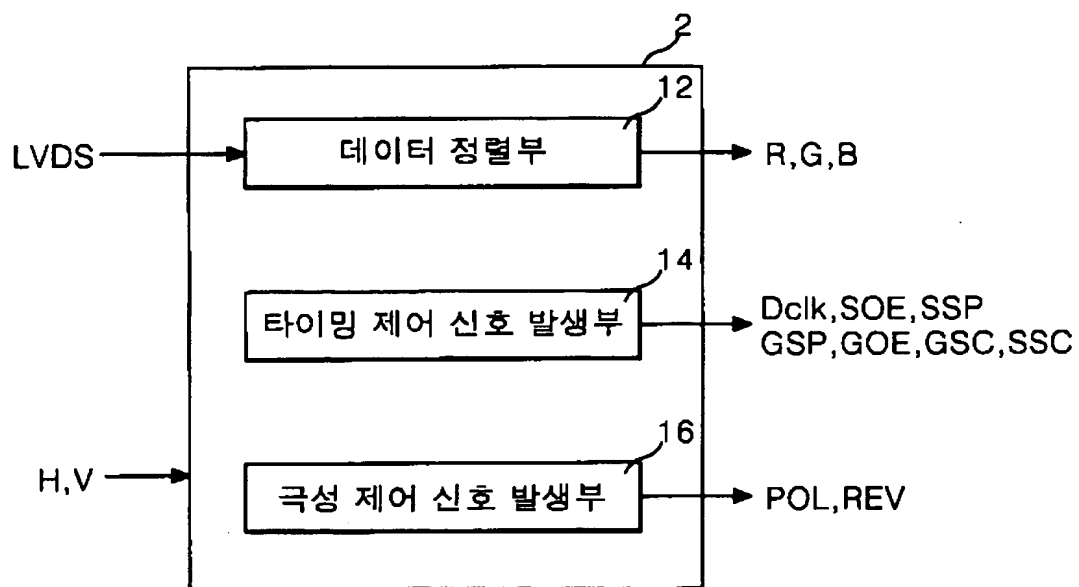
【도 1】



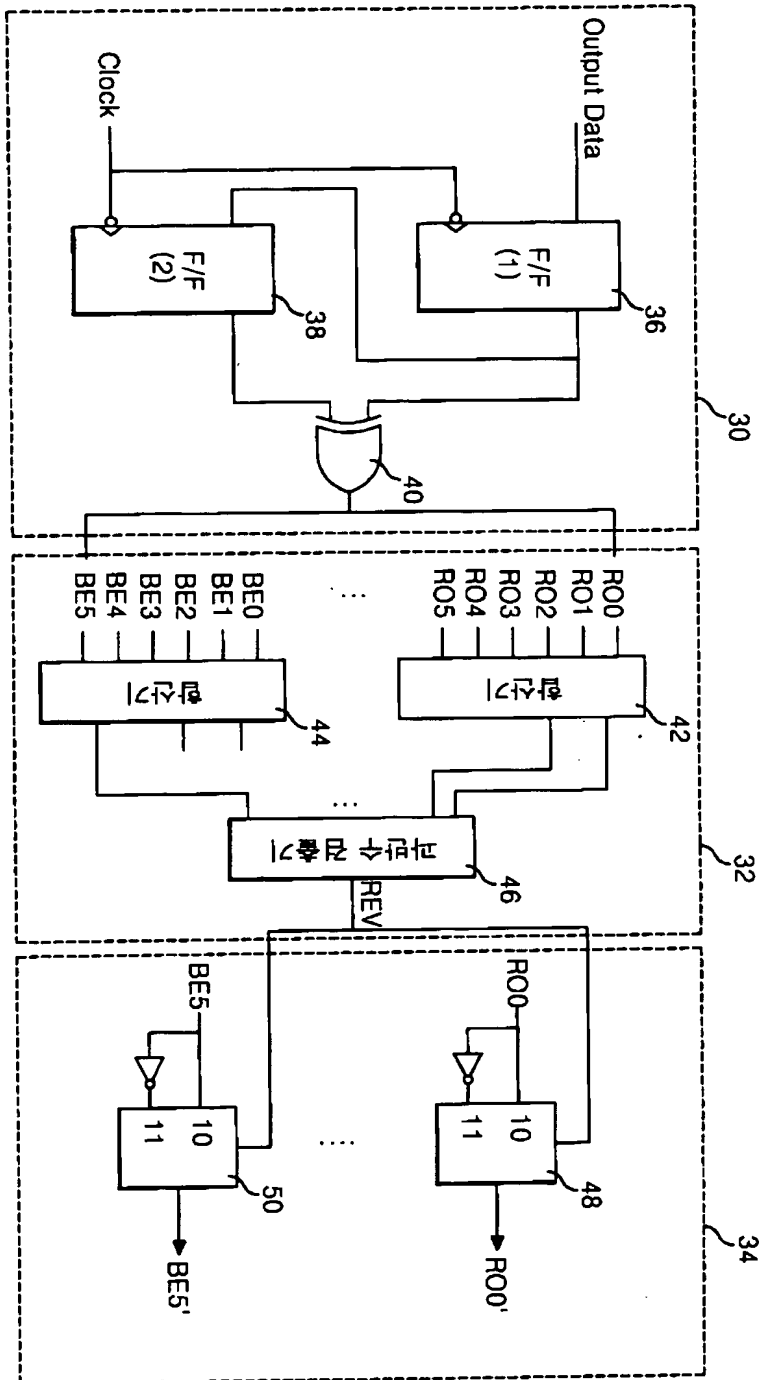
【도 2】



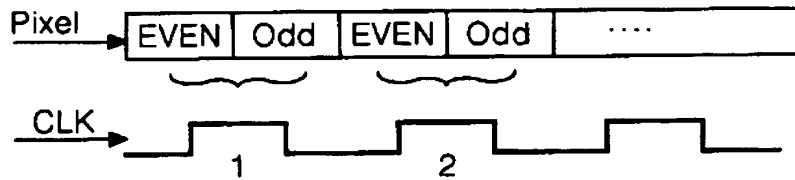
【도 3】



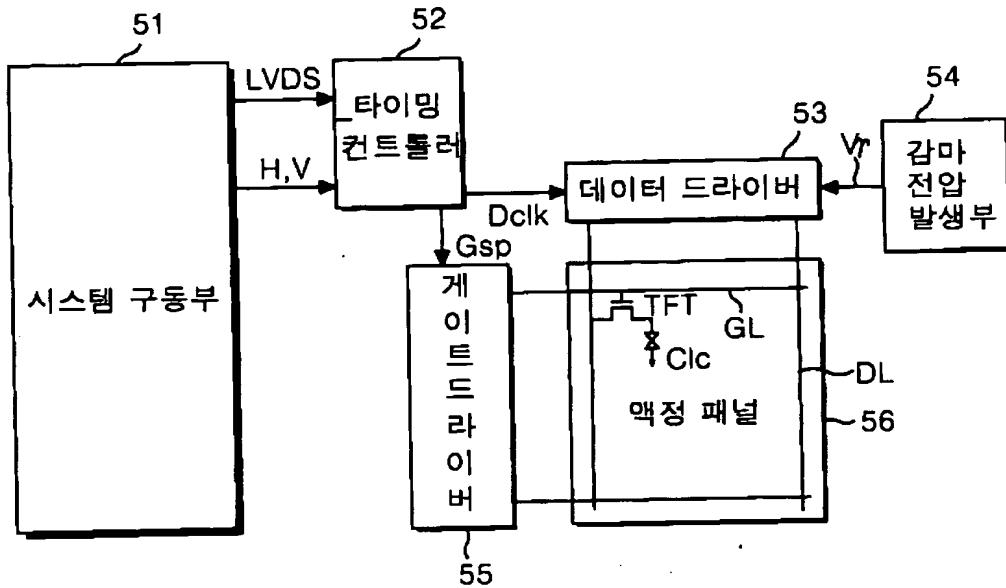
【도 4】



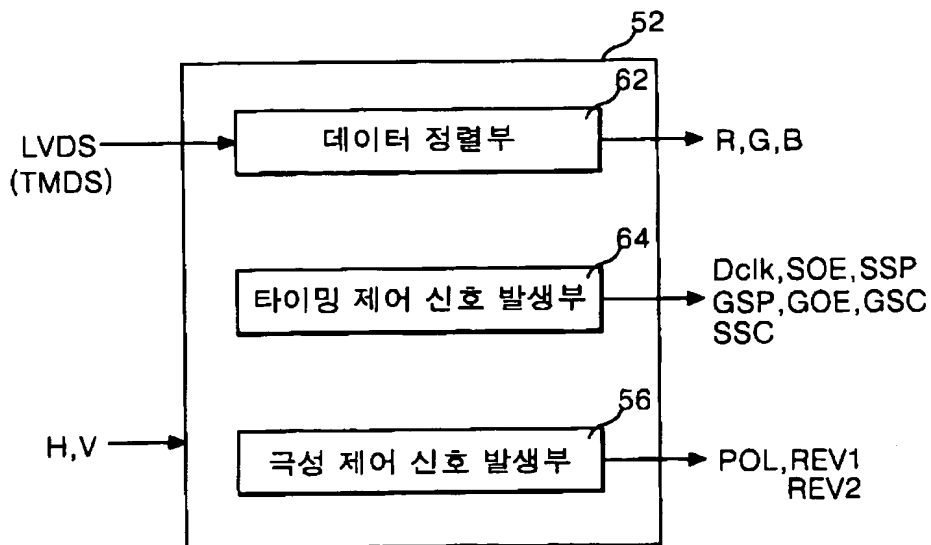
【도 5】



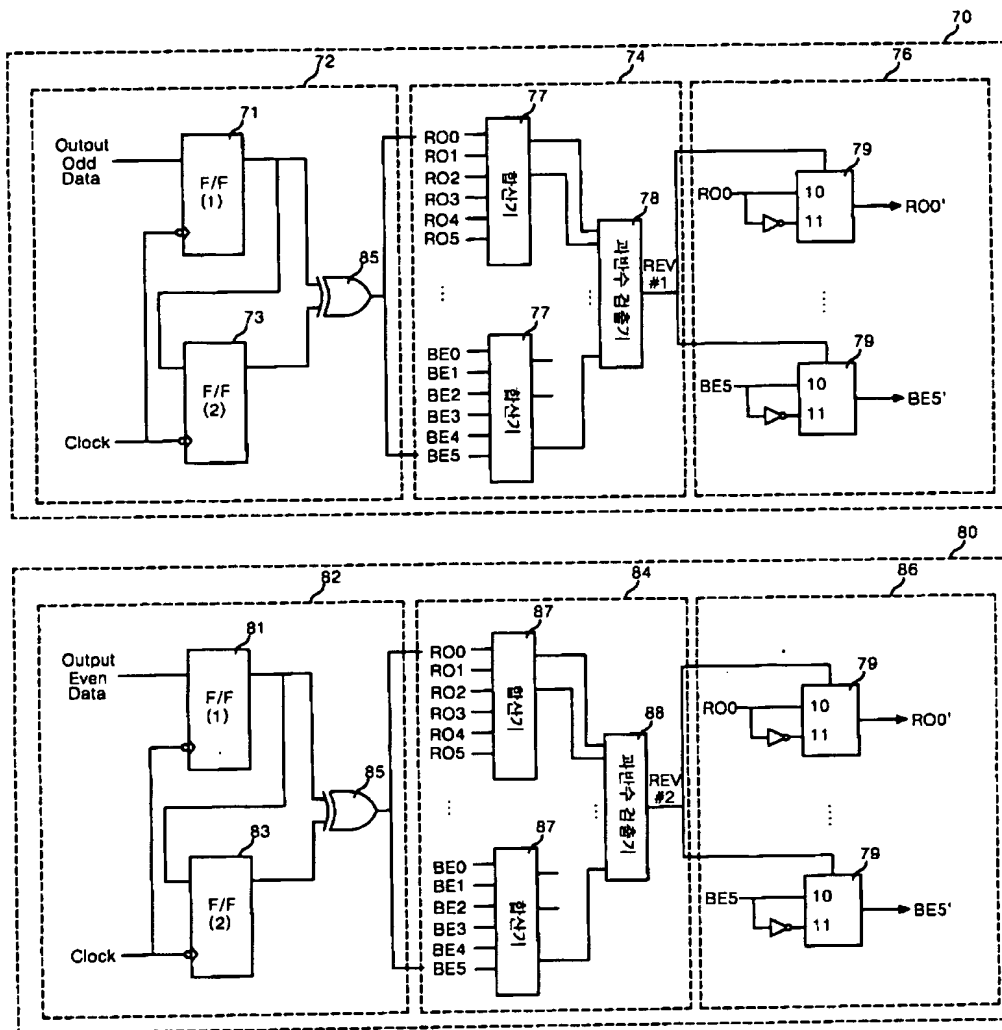
【도 6】



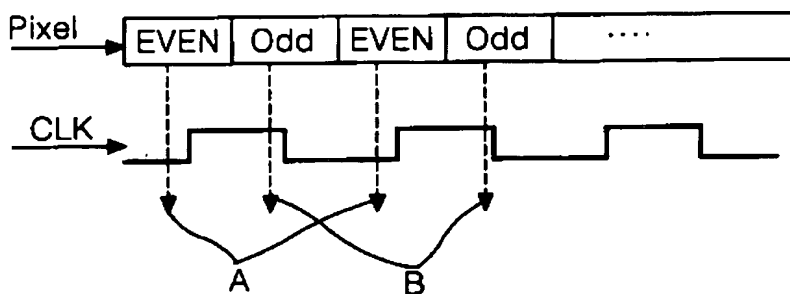
【도 7】



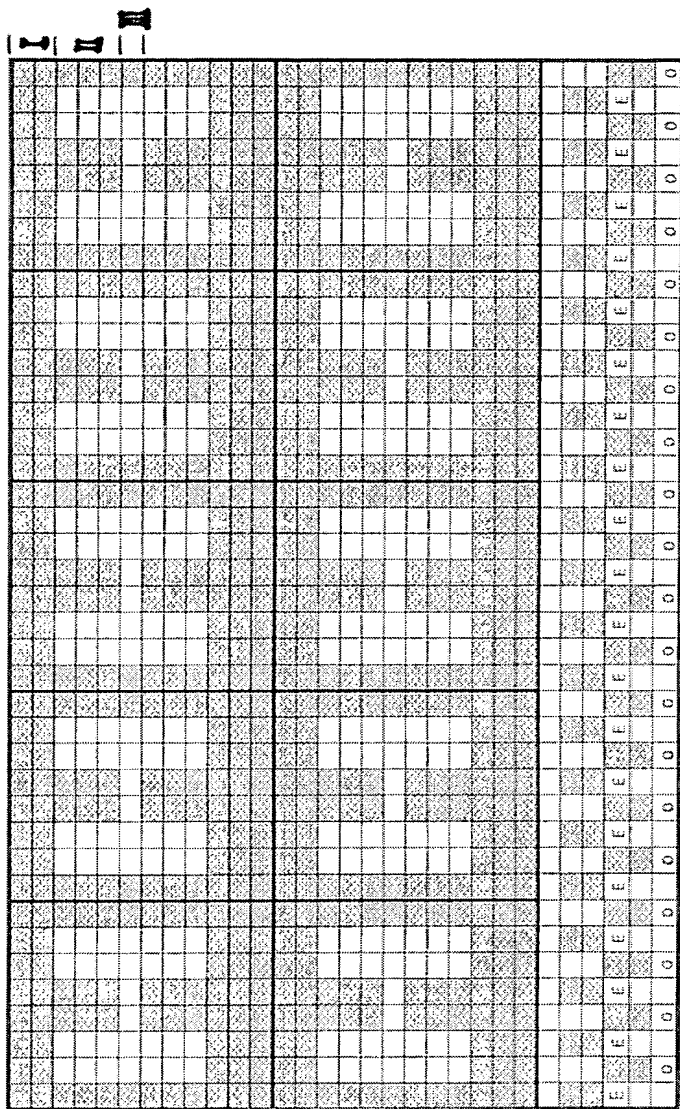
【도 8】



【도 9】



【도 10】



【도 11】

	Dn	Dn-1	Dn-2	Dn-3	Dn-4	Dn-5	Dn-6	Dn-7	Dn-8
RE0	1	0	0	0	1	0	0	0	1
RE1	1	0	0	0	1	0	0	0	1
RE2	1	0	0	0	1	0	0	0	1
RE3	1	0	0	0	1	0	0	0	1
RE4	1	0	0	0	1	0	0	0	1
RE5	1	0	0	0	1	0	0	0	1
GE0	1	0	0	0	1	0	0	0	1
GE1	1	0	0	0	1	0	0	0	1
GE2	1	0	0	0	1	0	0	0	1
GE3	1	0	0	0	1	0	0	0	1
GE4	1	0	0	0	1	0	0	0	1
GE5	1	0	0	0	1	0	0	0	1
BE0	1	0	0	0	1	0	0	0	1
BE1	1	0	0	0	1	0	0	0	1
BE2	1	0	0	0	1	0	0	0	1
BE3	1	0	0	0	1	0	0	0	1
BE4	1	0	0	0	1	0	0	0	1
BE5	1	0	0	0	1	0	0	0	1
RO0	0	0	0	1	0	0	0	1	0
RO1	0	0	0	1	0	0	0	1	0
RO2	0	0	0	1	0	0	0	1	0
RO3	0	0	0	1	0	0	0	1	0
RO4	0	0	0	1	0	0	0	1	0
RO5	0	0	0	1	0	0	0	1	0
GO0	0	0	0	1	0	0	0	1	0
GO1	0	0	0	1	0	0	0	1	0
GO2	0	0	0	1	0	0	0	1	0
GO3	0	0	0	1	0	0	0	1	0
GO4	0	0	0	1	0	0	0	1	0
GO5	0	0	0	1	0	0	0	1	0
BO0	0	0	0	1	0	0	0	1	0
BO1	0	0	0	1	0	0	0	1	0
BO2	0	0	0	1	0	0	0	1	0
BO3	0	0	0	1	0	0	0	1	0
BO4	0	0	0	1	0	0	0	1	0
BO5	0	0	0	1	0	0	0	1	0

REV OFF시 데이터 출력(16MHz)

【도 12】

	Dn	Dn-1	Dn-2	Dn-3	Dn-4	Dn-5	Dn-6	Dn-7	Dn-8
RE0	0	1	1	0	0	1	1	1	1
RE1	0	1	1	0	0	1	1	1	1
RE2	0	1	1	0	0	1	1	1	1
RE3	0	1	1	0	0	1	1	1	1
RE4	0	1	1	0	0	1	1	1	1
RE5	0	1	1	0	0	1	1	1	1
GE0	0	1	1	0	0	1	1	1	1
GE1	0	1	1	0	0	1	1	1	1
GE2	0	1	1	0	0	1	1	1	1
GE3	0	1	1	0	0	1	1	1	1
GE4	0	1	1	0	0	1	1	1	1
GE5	0	1	1	0	0	1	1	1	1
BE0	0	1	1	0	0	1	1	1	1
BE1	0	1	1	0	0	1	1	1	1
BE2	0	1	1	0	0	1	1	1	1
BE3	0	1	1	0	0	1	1	1	1
BE4	0	1	1	0	0	1	1	1	1
BE5	0	1	1	0	0	1	1	1	1
RO0	1	1	1	1	1	1	1	0	0
RO1	1	1	1	1	1	1	1	0	0
RO2	1	1	1	1	1	1	1	0	0
RO3	1	1	1	1	1	1	1	0	0
RO4	1	1	1	1	1	1	1	0	0
RO5	1	1	1	1	1	1	1	0	0
GO0	1	1	1	1	1	1	1	0	0
GO1	1	1	1	1	1	1	1	0	0
GO2	1	1	1	1	1	1	1	0	0
GO3	1	1	1	1	1	1	1	0	0
GO4	1	1	1	1	1	1	1	0	0
GO5	1	1	1	1	1	1	1	0	0
BO0	1	1	1	1	1	1	1	0	0
BO1	1	1	1	1	1	1	1	0	0
BO2	1	1	1	1	1	1	1	0	0
BO3	1	1	1	1	1	1	1	0	0
BO4	1	1	1	1	1	1	1	0	0
	Dn	Dn-1	Dn-2	Dn-3	Dn-4	Dn-5	Dn-6	Dn-7	Dn-8

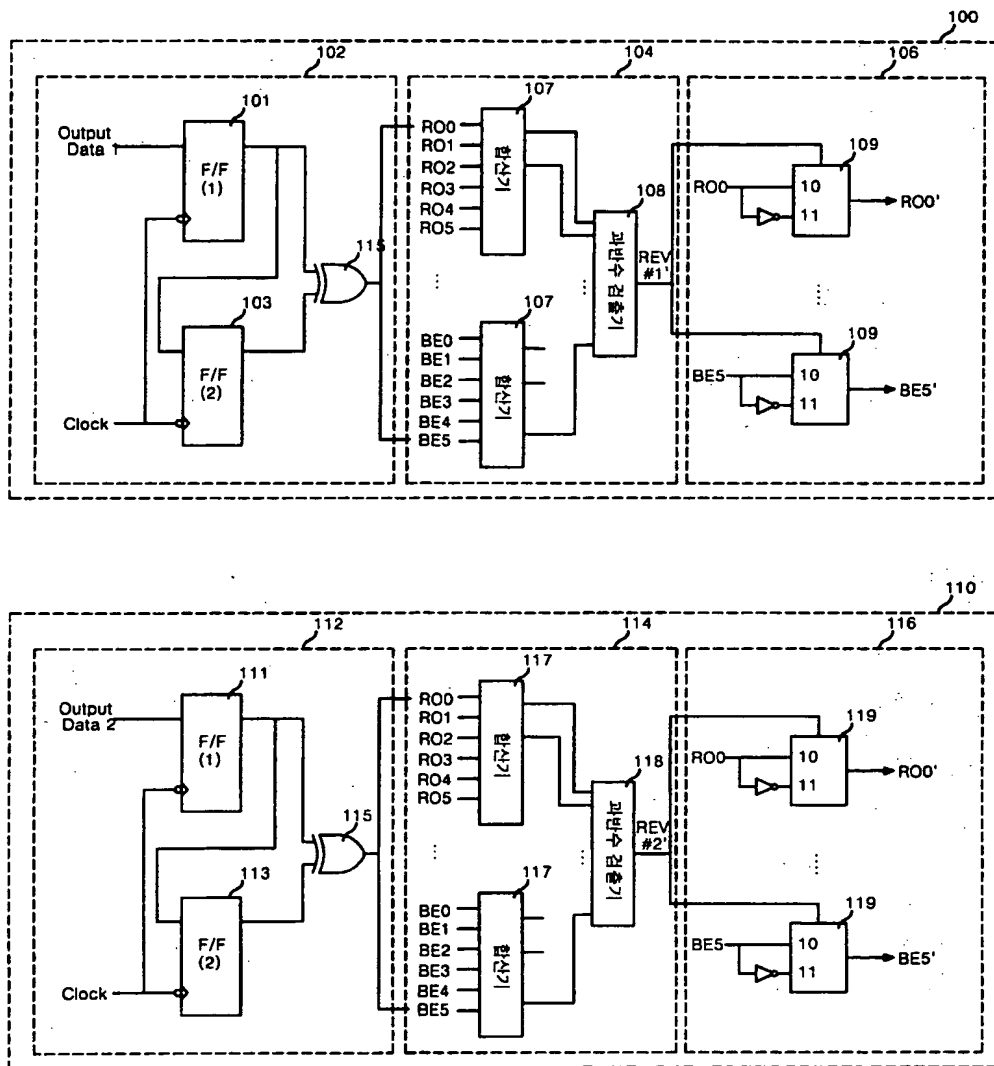
REV ON시 데이터 출력(4MHz)

【도 13】

	Dn	Dn-1	Dn-2	Dn-3	Dn-4	Dn-5	Dn-6	Dn-7	Dn-8
RE0	1	1	1	1	1	1	1	1	1
RE1	1	1	1	1	1	1	1	1	1
RE2	1	1	1	1	1	1	1	1	1
RE3	1	1	1	1	1	1	1	1	1
RE4	1	1	1	1	1	1	1	1	1
RE5	1	1	1	1	1	1	1	1	1
GE0	1	1	1	1	1	1	1	1	1
GE1	1	1	1	1	1	1	1	1	1
GE2	1	1	1	1	1	1	1	1	1
GE3	1	1	1	1	1	1	1	1	1
GE4	1	1	1	1	1	1	1	1	1
GE5	1	1	1	1	1	1	1	1	1
BE0	1	1	1	1	1	1	1	1	1
BE1	1	1	1	1	1	1	1	1	1
BE2	1	1	1	1	1	1	1	1	1
BE3	1	1	1	1	1	1	1	1	1
BE4	1	1	1	1	1	1	1	1	1
BE5	1	1	1	1	1	1	1	1	1
RO0	0	0	0	0	0	0	0	0	0
RO1	0	0	0	0	0	0	0	0	0
RO2	0	0	0	0	0	0	0	0	0
RO3	0	0	0	0	0	0	0	0	0
RO4	0	0	0	0	0	0	0	0	0
RO5	0	0	0	0	0	0	0	0	0
GO0	0	0	0	0	0	0	0	0	0
GO1	0	0	0	0	0	0	0	0	0
GO2	0	0	0	0	0	0	0	0	0
GO3	0	0	0	0	0	0	0	0	0
GO4	0	0	0	0	0	0	0	0	0
GO5	0	0	0	0	0	0	0	0	0
BO0	0	0	0	0	0	0	0	0	0
BO1	0	0	0	0	0	0	0	0	0
BO2	0	0	0	0	0	0	0	0	0
BO3	0	0	0	0	0	0	0	0	0
BO4	0	0	0	0	0	0	0	0	0
BO5	0	0	0	0	0	0	0	0	0

REV 1, 2 구동시 데이터 출력(DC 레벨)

【도 14a】



【도 14b】

